

PATENT
8001-1190

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Tatsuya USAMI
Appl. No.: NEW NON-PROVISIONAL Conf.:
Filed: January 30, 2004 Group:
Title: SEMICONDUCTOR DEVICE HAVING COPPER
DAMASCENE INTERCONNECTION AND
FABRICATIONG METHOD THEREOF Examiner:

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 30, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-024716	January 31, 2003
JAPAN	2003-420838	December 18, 2003
JAPAN	2003-420839	December 18, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

Benoit Castel

Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/yr

Attachment(s): 3 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月31日
Date of Application:

出願番号 特願2003-024716
Application Number:

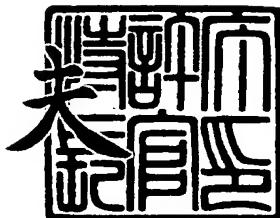
[ST. 10/C] : [JP2003-024716]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年12月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 74112743

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/768

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

【氏名】 宇佐美 達矢

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】**【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0215753**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板を含んだ下地上に、層間絶縁膜の少なくとも一部に水素化ポリシロキサン膜を含み、その上層にシリコン炭化窒化膜が形成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板を含んだ下地上に、少なくとも Cu 含有膜を含み、その上にシリコン炭化窒化膜が形成されていることを特徴とする半導体装置。

【請求項 3】 前記シリコン炭化窒化膜の窒素濃度が 10 原子%以上であることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記シリコン炭化窒化膜の窒素濃度が 10 原子%以上、35 原子%未満であることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 5】 前記シリコン炭化窒化膜の Si が 22 原子%以上 27 原子%以下、C が 20 原子%以上 25 原子%以下、H が 35 原子%以上 45 原子%以下の範囲の膜であることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記水素化ポリシロキサン膜が梯子型水素化ポリシロキサン膜またはポーラス梯子型水素化ポリシロキサン膜であることを特徴とする請求項 1、3、4 又は 5 のいずれか 1 項記載の半導体装置。

【請求項 7】 半導体基板を含んだ下地上に形成された層間絶縁膜の少なくとも一部に Si-H 結合をもつ絶縁膜を含み、またバリアメタルに Ta を用いその上に Cu 含有膜を含み、前記 Ta と前記 Si-H 結合をもつ絶縁膜との間に少なくとも TaN を含むことを特徴とする半導体装置。

【請求項 8】 前記 TaN の窒素濃度が 15 原子%以上であることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記 TaN の窒素濃度が 15 原子%以上 40 原子%未満であることを特徴とする請求項 7 記載の半導体装置。

【請求項 10】 前記 Si-H 結合をもつ絶縁膜が水素化ポリシロキサン膜、水素化オルガノポリシロキサン膜のいずれかであることを特徴とする請求項 7 乃至 9 のいずれか 1 項記載の半導体装置。

【請求項11】 前記水素化ポリシロキサン膜が梯子型水素化ポリシロキサン膜またはポーラス梯子型水素化ポリシロキサン膜であることを特徴とする請求項10記載の半導体装置。

【請求項12】 半導体基板上に水素化ポリシロキサン膜を成膜する工程と、シリコン炭化窒化膜を成膜する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項13】 前記シリコン炭化窒化膜の窒素濃度が10原子%以上であることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 前記シリコン炭化窒化膜の窒素濃度が10原子%以上、35原子%未満であることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項15】 前記シリコン炭化窒化膜のSiが22原子%以上27原子%以下、Cが20原子%以上25原子%以下、Hが35原子%以上45原子%以下の範囲の膜であることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項16】 半導体基板上に絶縁膜を成膜する工程と、絶縁膜を加工する工程と、バリアメタルを成膜する工程と、Cu含有膜を成膜する工程と、シリコン炭化窒化膜を成膜する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項17】 前記シリコン炭化窒化膜の窒素濃度が10原子%以上であることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 前記シリコン炭化窒化膜の窒素濃度が10原子%以上、35原子%未満であることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項19】 前記シリコン炭化窒化膜のSiが22原子%以上27原子%以下、Cが20原子%以上25原子%以下、Hが35原子%以上45原子%以下の範囲の膜であることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 半導体基板上にSi-H結合を含む絶縁膜を成膜する工程と、

前記Si-H結合を含む絶縁膜を加工する工程と、

TaN膜を成膜する工程と、
Ta膜を成膜する工程と、
Cu含有膜を成膜する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項21】 前記TaN膜の窒素濃度が15原子%以上であることを特徴とする請求項20記載の半導体装置の製造方法。

【請求項22】 前記TaN膜の窒素濃度が15原子%以上40原子%未満であることを特徴とする請求項20記載の半導体装置の製造方法。

【請求項23】 前記Si-H結合を含む絶縁膜が水素化ポリシロキサン膜または、水素化オルガノポリシロキサン膜のいずれかであることを特徴とする請求項20乃至22のいずれか1項記載の半導体装置の製造方法。

【請求項24】 前記水素化ポリシロキサン膜が梯子型水素化ポリシロキサン膜またはポーラス梯子型水素化ポリシロキサン膜であることを特徴とする請求項23記載の半導体装置の製造方法。

【請求項25】 前記Cu含有膜が、Al、Ag、W、Mg、Bi、Zn、Pd、Cd、Au、Hg、Be、Pt、Zr、Ti、またはSnのすくなくとも一つを含むCuアロイ膜であることを特徴とする請求項2乃至11のいずれか1項記載の半導体装置。

【請求項26】 前記Cu含有膜が、Al、Ag、W、Mg、Bi、Zn、Pd、Cd、Au、Hg、Be、Pt、Zr、Ti、またはSnのすくなくとも一つを含むCuアロイ膜であることを特徴とする請求項16乃至24のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置および半導体装置の製造方法に関し、特に低誘電率層間絶縁膜、低誘電率バリア絶縁膜およびCu膜用バリアメタルを用いた配線構造の信頼性の高い半導体装置および、その製造方法に関する。

【0002】

【従来の技術】

近年、LSIの信号処理の高速化の要求は年々増加している。LSIの信号処理速度は主にトランジスタ自体の動作速度および配線での信号伝播遅延時間の大、小で決まってくる。従来、大きく影響を及ぼしてきたトランジスタの動作速度はトランジスタを縮小化することで向上させてきた。しかし設計ルールが0.25ミクロンよりも小さいLSIでは後者の配線の信号伝播遅延に関する影響が大きく現れ始めている。特に配線層が多層化を有するLSIデバイスにおいては、その影響は大きい。

【0003】

そこで、配線の信号伝播遅延を改善する方法として、従来より用いてきたアルミ配線が銅配線に置き換わった。また従来からもちいていたシリコン酸化膜を低誘電率層間絶縁膜に置き換える検討がされている。この低誘電率膜の中で比誘電率3.0以下が実現できる膜の1つの水素化ポリシロキサンはアルミ配線では量産化が実施されており、Cu配線でも量産化が検討されている。その中でも梯子型水素化ポリシロキサンであるL-Ox（ラダーオキサイド、商標名：Ladder Oxide）はSi-O骨格にSi-H結合を一部にもつもので、無機材料で構成されているため、密着性に優れ、また梯子型になっているため加工後のプラズマアッシングや有機剥離液に対する耐性にすぐれ、加工面での吸湿層などの劣化層が形成されない。

【0004】

一方、Cuダマシンプロセス用 バリア・エッチストッパー絶縁膜にも低誘電率化が要求されており、従来の比誘電率が約7.0のシリコン窒化膜から比誘電率5.0以下のシリコン炭化系絶縁膜への置き換えの検討が行われている。一例として、トリメチルシランと不活性ガスによるプラズマCVDで成膜する例が報告されている。

【0005】

また、Cu配線になってCuの層間絶縁膜への拡散のバリアとして、また絶縁膜との密着層としてバリアメタルが用いられている。特にTa系のバリアメタルが主に量産化されつつある。特に微細化のCu/Low-k構造の信頼性まで保

証するとなると、これらの組み合わせの最適化ができて初めて量産化が実現できる。

【0006】

次に、従来の半導体装置の構造を図面を参照して説明する。図14に示すように、下層絶縁膜501上にシリコン炭化膜（以下SiC膜と記載）である第0のSiC膜502を形成されており、その上に梯子型水素化ポリシロキサンである第1のL-Ox膜503が形成されている。その上に第1のSiO₂膜504が形成されている。その層間絶縁膜に形成された配線溝にはバリアメタルとして第1のTa膜505が形成されている。その内側に第1のCu膜506により配線が形成されている。その配線の上にバリア絶縁膜である第1のSiC膜507、その上に同様に第2のL-Ox膜508、第2のSiO₂膜509がそれぞれ形成されている。

【0007】

同様にビア部にバリアメタルとして第2のTa膜510、その内側に第2のCu膜511が形成されている。さらにその上にそのビアの上にバリア絶縁膜である第2のSiC膜512、その上に同様に第3のL-Ox膜513、第3のSiO₂膜514がそれぞれ形成されている。同様に第2の配線層間絶縁膜中にバリアメタルとして第3のTa膜515、その内側に第3のCu膜516が形成されている。その第2の配線上に、第3のSiC膜517が形成されている。この構造をさらに繰り返し、最後にカバー膜を形成して多層配線構造が形成される。

【0008】

次に、従来の半導体装置の製造方法を図15から図18を参照して説明する。まず、トランジスタを含む半導体基板上に形成された下層絶縁膜601上に、50nm～100nmの膜厚の第0のSiC膜602をプラズマCVD法により形成した。続いて、第1のL-Ox膜603の塗布・焼成を行ない、150nm～350nmの成膜をおこなった。その上に、第1SiO₂膜604を50nm～200nmプラズマCVD法により成膜した（図15（a））。

【0009】

その構造体上に、最小寸法0.14μmレベルのフォトリソグラフィー技術を用い、反射防止膜としてARC膜605を塗布後に、パターニングされたフォトレジストマスク606を形成した（図15（b））。それをマスクにして、ARC膜605、第1のSiO₂膜604、第1のL-Ox膜603をプロロカーボン系ガスを含んだガスによりエッティングし、第0のSiC膜602上でストップさせた。

【0010】

その後、酸素プラズマアッショングにより、フォトレジストマスクを剥離後、弱アミンの有機剥離液などで残さ等を完全に完全に除去した。その後、全面エッチバックにて、第0のSiC膜602を除去した。さらに有機剥離液による洗浄で残さを除去した。この結果、溝パターンを形成した（図15（c））。

【0011】

次に、スパッタ装置にてデガス処理、ArイオンによるRFエッチを行なった後にバリアメタルの第1のTa膜607を約30nm形成し、真空を破ることなく、Cuシード膜（図示省略）を約100nm形成した。次にCuめっきにて、約600nm形成した。その後、縦型炉アニールにて200～400°Cで焼成をおこなった（図16（a））。

【0012】

次にメタルCMP技術を用い、溝以外のメタルを除去した（図16（b））。次に、プラズマCVD装置により、50～100nmの第1のSiC膜610を形成した。続いて、第2のL-Ox膜611、さらに第2のSiO₂膜612を順次成膜した。第1のビア形成のためにフォトリソグラフィー技術をもちい、ビアのパターンとして第2のARC膜613上に第2のフォトレジストマスク614を形成した（図16（c））。

【0013】

それをマスクにして、第2のARC膜613、第2のSiO₂膜612、第2のL-Ox膜611をエッティングし、第1のSiC膜610上でエッチストップさせた。その後、酸素プラズマアッショングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さ等を完全に完全に除去した。

【0014】

その後、第1のSiC膜610を除去し、第1の溝配線との電気的な導通を撮るため全面エッチバックをおこなった。さらに有機剥離液による洗浄で残さを除去した。続いて、スパッタ装置にてデガスを行なった後、ArイオンによるRFエッチを行なった後にバリアメタルの第2のTa膜615を約30nm形成し、真空を破ることなく、Cuシード膜（図示省略）を約100nm形成した。次にCuめっきにて、銅膜617を約300nm形成した。その後、縦型炉アニールにて200～400℃で焼成をおこなった。次にメタルCMP技術を用い、ビア以外のメタルを除去した（図17（a））。

【0015】

次に、プラズマCVD装置により、50～100nmの第2のSiC膜618を形成した。続いて、第3のL-Ox膜619、さらに第3のSiO₂膜620を順次成膜した（図17（b））。

【0016】

その構造体上に、最小L/S=0.14/0.14μmレベルのフォトリソグラフィー技術を用い、第3のARC膜621塗布後に、パターニングされた第3のフォトレジストマスク622を形成した（図18（a））。

【0017】

それをマスクにして、第3のARC膜621、第3のSiO₂膜620、第3のL-Ox膜619をプロロカーボン系ガスを含むエッティングガスによりエッティングし、第2のSiC膜618上でストップさせた。その後、酸素プラズマアッティングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さ等を完全に完全に除去した。

【0018】

その後、全面エッチバックにて、第2のSiC膜618を除去した。さらに有機剥離液による洗浄で残さを除去した。この結果、第2溝パターンを形成した。次に、第1配線と同様にしてスパッタ装置にてデガス処理、ArイオンによるRFエッチを行なった後にバリアメタルの第3のTa膜623を約30nm形成し、真空を破ることなく、Cuシード膜を約100nm形成した。次にCuめっき

にて、銅膜624を約600nm形成した。その後、縦型炉アニールにて200～400℃で焼成をおこなった。その後メタルCMPを行ない、その第2配線の上に第3のSiC膜625が形成されている。

【0019】

この2層配線構造を形成するにあたり、第1と第2の溝CMPおよびビアCMP時に剥がれが発生した。剥がれている界面は何れも、L-Ox膜とバリアメタルであるTa膜界面であり、原因はL-Ox膜中の水素がTa膜に吸収され、Ta膜の脆性が発生したものと考えられる。また、この2層構造のデバイス形成に長期間がかかった場合には、ビアの抵抗上昇と、配線間容量の増大が認められた。

【0020】

【発明が解決しようとする課題】

第1の課題として、吸湿に関する諸問題がある。従来の構造では長時間製造プロセスに時間がかかると、電気特性上問題が発生する。従来の構造のL-Ox膜、SiO₂膜、SiC膜のいずれも吸湿に対してブロック性をもたないからである。吸湿により、配線間容量の上昇をもたらす。また、絶縁膜の種類にかかわらず、Cu配線も吸湿により表面および界面が酸化されてしまう。特に吸湿により、ビア抵抗の上昇が発生するという問題があった。

【0021】

第2の課題として、メタルの水素吸収に関する諸問題がある。従来の構造では、L-Ox膜とバリアメタルにTaを使用した場合、L-Ox膜とTaが直接接しているため、L-Ox膜中の水素が、Taに吸収され、Ta膜が脆弱化し。メタルCMPなどの高荷重プロセスに対して、耐性がないという問題があった。また、Ta単層ではなく、TaN単層の場合にはCuの濡れ性がないため、高アスペクト比のビアなどのCu埋設が十分できないという問題があった。

【0022】

【課題を解決するための手段】

本構造は以上の2つの課題を解決するものである。まず、第1の課題を解決するために、層間絶縁膜のすくなくとも一部に水素化ポリシロキサンを用いる場合

に、その上層にシリコン窒化炭化膜（SiCN膜）を用いている。このSiCN膜は、吸湿のブロック性が有るため、下層に水素化ポリシロキサンのような耐吸湿性のない膜が下層に存在しても配線間容量の増大などの問題は発生しない。このSiCN膜の窒素濃度はこのましくは10atm%以上で、さらにこのましくは10atm%以上35atm%未満であることが好ましく、さらにこのましくはSiCN膜のその他の組成がSiが22atm%以上27atm%以下、Cが20atm%以上25atm%以下、Hが35atm%以上45atm%以下の範囲の膜である。またこのましくは水素化シロキサンが梯子型水素化シロキサンまたはポーラス梯子型水素化シロキサンであることがよい。

【0023】

同様にCu配線の直上にSiCN膜を用いている。このSiCN膜は、吸湿のブロック性が有るため、下層にCu配線が存在していたとしても、Cu表面が酸化しない。またビア抵抗上昇などの問題は発生しない。このSiCN膜の窒素濃度はこのましくは10atm%以上で、さらにこのましくは10atm%以上35atm%未満であることが好ましく、さらにこのましくはSiCN膜のその他の組成がSiが22atm%以上27atm%以下、Cが20atm%以上25atm%以下、Hが35atm%以上45atm%以下の範囲の膜である。第2の課題を解決するために層間絶縁膜として、すくなくとも、Si-H結合を含む絶縁膜を含み、バリアメタルとして、水素のプロッキング特性が優れたTaNを用いているため、埋設がよく、かつ、密着性のよい多層化配線を実現できる。かつ、TaN上にTaを成膜したのちにCuを成膜されているため、金属の濡れ性がよく、埋設に問題がない配線および、ビアが形成できる。このTaN膜の窒素濃度はこのましくは、15atm%以上で、さらにこのましくは15atm%以上、40atm%未満である。

【0024】

またSi-H結合を含む絶縁膜は水素化ポリシロキサンまたは水素化オルガノポリシロキサンのいずれかである。さらにこのましくは水素化ポリシロキサンが梯子型水素化ポリシロキサンまたはポーラス梯子型水素化ポリシロキサンであることがよい。

【0025】

【発明の実施の形態】

本発明の実施の形態の半導体装置について、図面を参照して説明する。図1が第1の実施の形態の半導体装置の構造を示す図である。図1に示すように、下層絶縁膜101上に第0のSiCN膜102が形成されており、その上に梯子型水素化ポリシロキサンである第1のL-O_x膜103が形成されている。その上に第1のSiO₂膜104が形成されている。この第1の配線層間絶縁膜に形成された配線溝にはバリアメタルとしてTa膜106/TaN膜105の積層膜（上層がTa膜、下層がTaN膜）が形成されている。その内側に第1のCu膜107により配線が形成されている。その配線の上にバリア絶縁膜である第1のSiCN膜108、その上に同様に第2のL-O_x膜109、第2のSiO₂膜110がそれぞれ形成されている。

【0026】

同様にビア部にバリアメタルとして第2のTa膜112/TaN膜111、その内側に第2のCu膜113が形成されている。さらに、そのビアの上にバリア絶縁膜である第2のSiCN膜114、その上に同様に第3のL-O_x膜115、第3のSiO₂膜116がそれぞれ形成されている。同様に第2の配線間絶縁膜中にバリアメタルとして第3のTa膜/TaN膜、その内側に第3のCu膜119により配線が形成されている。その第2の配線上に、第3のSiCN膜120が形成されている。この構造をさらに繰り返し、最後に吸湿ブロック性のあるカバー膜を形成して多層配線構造が形成される。

【0027】

第2の実施の形態による半導体装置の構造を図2に示す。第1の実施の形態との違いはビア層間絶縁膜をSiO₂単層にしたことである。製造のTATが非常に長い場合に電気特性の安定、信頼性の安定にこの構造はメリットがあった。その理由は、ビア工程での吸湿が電気特性や信頼性に影響を与えていたと推定される。

【0028】

この半導体装置は下層絶縁膜201上に第0のSiCN膜202が形成されて

おり、その上に梯子型水素化ポリシロキサンである第1のL-O_x膜203が形成されている。その上に第1のSiO₂膜204が形成されている。この第1の配線層間絶縁膜に形成された配線溝にはバリアメタルとしてTa膜206/TaN膜205の積層膜（上層がTa膜、下層がTaN膜）が形成されている。その内側に第1のCu膜207による第1の配線が形成されている。その配線の上にバリア絶縁膜である第1のSiCN膜208、その上に同様に第2のSiO₂膜209が形成されている。同様にビア部にバリアメタルとして第2のTa膜211/TaN膜210、その内側に第2のCu膜212によりビアが形成されている。

【0029】

さらにそのビアの上にバリア絶縁膜である第2のSiCN膜213、その上に同様に第3のL-O_x膜214、第3のSiO₂膜215がそれぞれ形成されている。同様に第2の配線層間絶縁膜中にバリアメタルとして第3のTa膜217/TaN膜216、その内側に第3のCu膜218により第2の配線が形成されている。その第2の配線上に、第3のSiCN膜219が形成されている。この構造をさらに繰り返し、最後にカバー膜を形成して多層配線構造が形成される。

【0030】

第3の実施の形態の半導体装置を図3に示す。第1の実施の形態と異なり、デュアルダマシン(Dual Damascene)配線構造をとっている。この構造を用いることにより、製造の工程数が削減でき、製品のコスト低減が実現できた。また、ビアのCMPをなくすことができるため、コストとして非常に高いCMP工程を削減できるという大きなコストメリットがあった。この半導体装置は、下層絶縁膜301上に第0のSiCN膜302を形成されており、その上に梯子型水素化ポリシロキサンである第1のL-O_x膜303が形成されている。その上に第1のSiO₂膜304が形成されている。この第1の配線層間絶縁膜に形成された配線溝にはバリアメタルとしてTa膜306/TaN膜305の積層膜（上層がTa膜、下層がTaN膜）が形成されている。

【0031】

その内側に第1Cu膜307により配線が形成されている。この第1の配線の

上にバリア絶縁膜である第1のSiCN膜308、その上に同様に第2のL-O_x膜309、第2のSiO₂膜310が形成されている。さらにその上に配線溝のエッチングストッパーとして、第2のSiCN膜311、その上に第2の配線層間絶縁膜として第3のL-O_x膜312、第3のSiO₂膜313が形成されている。第1の配線との電気的な接続を行なうビアと第2の配線は一体となっており、第2のTaN膜314上に第2のTa膜315、その内側に第2のCu膜316により配線が形成されており、その第2の配線の上に第3のSiCN膜317が形成されている。この構造をさらに繰り返し、最後にカバー膜を形成して多層配線構造が形成される。

【0032】

ここでは実施の形態として、Cu膜をもちいたが、Al、Ag、W、Mg、Bi、Zn、Pd、Cd、Au、Hg、Be、Pt、Zr、Ti、またはSnのすくなくとも一つを含むCuアロイ膜を用いた場合のほうが、Cuよりも濡れ性が問題ないため、Cuアロイ膜を用いるメリットがある。

【0033】

次に第1の実施の形態の半導体装置の製造方法を図4～図7を参照して説明する。まず、トランジスタを含む下層絶縁膜401上に、50nm～100nmの膜厚の第0のSiCN膜402をプラズマCVD法により形成した。続いて、第1のL-O_x膜403の塗布・焼成を行ない、150nm～350nmの成膜をおこなった。その上に、第1のSiO₂膜404を50nm～200nmプラズマCVD法により成膜した（図4（a））。その構造体上に反射防止膜として第1のARC膜405を塗布した後に、最小L/S=0.14/0.14μmレベルのフォトリソグラフィー技術を用いパターニングされた第1のフォトレジストマスク406を形成した（図4（b））。

【0034】

それをマスクにして、第1のARC膜405、第1のSiO₂膜404、第1のL-O_x膜403をフロロカーボン系ガスを含んだエッチングガスにより、順次エッチングし、第0のSiCN膜402上でストップさせた。その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、アミン系の有機剥

離液などで残さ等を完全に完全に除去した。その後、全面エッチバックにて、第0のSiCN膜を除去した。さらに有機剥離液による洗浄で残さを除去した。この結果、溝パターンを形成した（図4（c））。

【0035】

次に、スパッタ装置にてデガス処理、ArイオンによるRFエッチを行なった後にバリアメタルの第1のTaN膜407を約10nm形成し、第1のTa膜408を20nm成膜した。真空を破ることなく、Cuシード膜（図示省略）を約100nm形成した。次にCuめっきにて、銅膜409を約600nm形成した（図5（a））。

【0036】

その後、縦型炉アニールにて200～400℃で焼成をおこなった。次にメタルCMP技術を用い、溝以外のメタルを除去した（図5（b））。次に、プラズマCVD装置により、50～1000nmの第1のSiCN膜410を形成した。続いて、150～350nmの第2のL-Ox膜411、さらに、50～200nmの第2のSiO₂膜412を順次成膜した。第1のビア形成のためにフォトリソグラフィー技術をもちい、0.14μm径のビアのパターンとして第2のARC膜413上に第2のフォトレジストマスク414を形成した（図5（c））。

【0037】

それをマスクにして、第2のARC膜413、第2のSiO₂膜412、第2のL-Ox膜411を順次エッティングし、第1のSiCN膜410上でエッチングトップさせた。次にフォトレジストマスクと第2のARC膜をプラズマアッシングにより、除去し、有機剥離液で残渣を除去した。その後、第1のSiCN膜410を除去し第1の溝配線との電気的な導通を探るため、全面エッチバックをおこなった。その後、有機剥離液を行って残渣を除去した。続いて、スパッタ装置にて、デガスを行なった後、ArイオンによるRFエッチを行なった後にバリアメタルの第2のTaN膜415を約10nm形成し、引き続きTa膜416を20nm形成し、真空を破ることなく、Cuシード膜（図示省略）を約100nm形成した。次にCuめっきにて、銅膜417を約300nm形成した。その後、

縦型炉アニールにて200～400°Cで焼成をおこなった。次にメタルCMP技術を用い、ビア以外のメタルを除去した（図6（a））。

【0038】

次に、プラズマCVD装置により、50～100nmの第2のSiCN膜418を形成した。続いて、150～350nmの第3のL-O_x膜419、さらに50～200nmの第3のSiO₂膜420を順次成膜した（図6（b））。

【0039】

その構造体上に反射防止膜として第3のARC膜421を塗布後に、最小L/S=0.14/0.14μmレベルのフォトリソグラフィー技術を用いパターニングされた第3のフォトレジストマスク422を形成した（図7（a））。

【0040】

それをマスクにして、第3のARC膜421、第3のSiO₂膜420、第3のL-O_x膜419をフロロカーボン系ガスを含むエッティングガスにより順次エッティングし、第2のSiCN膜418上でストップさせた。その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さ等を完全に完全に除去した。その後、全面エッチバックにて、第2のSiCN膜418を除去した。さらに有機剥離液による洗浄で残さを除去した。続いて、スパッタ装置にて、デガスを行なった後、ArイオンによるRFエッチを行なった後にバリアメタルの第3のTaN膜423を約10nm形成し、引き続き第3のTa膜424を20nm形成し、真空を破ることなく、Cuシード膜（図示省略）を約100nm形成した。次にCuめっきにて、銅膜425を約600nm形成した。その後、縦型炉アニールにて200～400°Cで焼成をおこなった。次にメタルCMP技術を用い、溝以外のメタルを除去した。次に、プラズマCVD装置により、50～100nmの第3のSiCN膜426を形成した（図7（b））。

【0041】

この結果、第2層パターンを形成した。この2層配線構造を形成するにあたり、CMPでは剥がれは発生せず、また、その上にパッドを形成して測定した0.14μmスペースでの配線間容量は目標どおりの値を得られ、さらにビア抵抗も

歩留まり劣化なく、かつビア抵抗の上昇が発生することもなかった。

【0042】

さらに、我々の実験ではCu配線およびCuビア上に用いているSiCN膜の窒素濃度が吸湿のブロック性に対して大きな鍵であることを突き止めた。図8にSiCN膜（実際の組成としてはSiCN, Hで構成されている）中のRBSで測定した窒素濃度を横軸に、縦軸は、実施の形態1を用いた場合のライン／スペース=0.14／0.14 μm間隔での配線間容量の値を示した。SiCN膜中の窒素濃度の上昇に伴い下がっていき、約10 atm%以上の窒素濃度では飽和している。窒素濃度が0の場合は10 atm%以上と比較し、15%程度の配線間容量増加が確認された。

【0043】

また、図9に示すように、膜の組成で窒素濃度が約35 atm%上のSiCN膜はその膜単独の比誘電率が5.8以上と急激に値が上がってしまいそれ以下の5.0以下の領域での低誘電率化のメリットはなくなってしまう。以上より、SiCN膜の窒素濃度は10 atm%以上35 atm%未満であることが望ましい。

【0044】

SiCN膜中の窒素濃度以外の他の組成はSiが22～27 atm%、Cが20～25 atm%、Hが35～45 atm%の範囲の膜で確認されており、この範囲内では、上記の関係は成立するものと考えられる（H濃度以外はRBS、HはHFSで測定）。

【0045】

また、図10は下層のCu配線に対する耐性を示したものである。SiCN膜中の窒素濃度を横軸に、実施の形態3の場合のビアチェーン抵抗値を縦軸に示す。SiCN膜中の窒素濃度の上昇に伴い抵抗値は下がっていき、約10 atm%以上の窒素濃度ではビアの抵抗値は飽和領域に入っていることが確認された。窒素濃度が0 atm%の場合は、10 atm%以上と比較し、剥がれが発生してビアチェーンの歩留まりが悪く、ビアがオープンでない平均値では約30%の抵抗値の増加が確認された。

【0046】

ここでは水素化ポリシリコサンをもちいているが、 SiO_2 層間絶縁膜を用いても配線間容量の上昇は明確に確認できなかったがビア抵抗の上昇は確認でき、層間絶縁膜によらず、 Cu 配線上に窒素濃度が少ない SiCN 膜が上層にある場合はこの耐性減少はおこることも確認された。 SiCN 膜中の窒素濃度以外の他の組成は Si が $22\sim27\text{ atm\%}$ 、 C が $20\sim25\text{ atm\%}$ 、 H が $35\sim45\text{ atm\%}$ の範囲の膜で確認されており、この範囲内では、上記の関係は成立するものと考えられる。

【0047】

この原因が吸湿のブロック性に起因するかを確認するため、膜の吸湿ブロック性のテストをおこなった。サンプルとしては、全面成膜のPSG (Phospho-Silicate Glass) 膜上に SiCN 膜を成膜した。吸湿がブロックできない場合は、FTIRスペクトルを確認すれば、下層のPSG膜中の $\text{P}=\text{O}$ 結合の赤外線吸収ピークが、消失する。膜の吸湿ブロック性のテストとして、PCT (Pressure Cooker Test) 条件 125°C 、2気圧、湿度 100% で保管した前後のFTIRスペクトルを比較した。

【0048】

参考の為、図11に示すように、明らかに吸湿ブロック性がないプラズマCV-D法による SiO_2 膜をPSG膜上に成膜したサンプルのPCT前後のFTIRスペクトルを比較した。約 1330 cm^{-1} の波数に存在する $\text{P}=\text{O}$ 結合はPCT前には確認されたが、PCT96時間経過後のFTIRスペクトルでは消失し、確認できなかった。すなわち、吸湿ブロック性は本方法で確認できることが確認できた。

【0049】

この方法でPSG膜上に SiCN 膜を成膜したサンプルを用い、窒素濃度をかえた場合の試験をおこなった。図12は SiC/PSG 構造での、すなわち、窒素濃度 $=0\text{ atm\%}$ の場合のPCT前後のスペクトル比較である。PCT前に存在する $\text{P}=\text{O}$ 結合は96時間のPCT後では消失している。すなわち、吸湿のブロック性はない。また、図13に SiCN/PSG 構造（上層が SiCN 、下層

がP S G) の結果を示す。このS i C N膜の窒素濃度は13.8 atm%であった。このときにはP C T前に存在するP=O結合はP C T後でもほぼすべて残っていることが確認でき、すなわち、吸湿ブロック性が確認できた。

【0050】

表1にS i C N膜中の窒素濃度とP C T後にP=O結合が存在するかの判定結果を示す。窒素濃度が10 atm%では、P=O結合がほぼ残っておりこの領域では吸湿のブロック性はあると判断できる。また、約8 atm%では、ややP=Oの結合のピークの減少はみられたが、存在は、あることが、確認できた。また、それ以下の窒素濃度の水準では、P=O結合はP C T後に確認できなかった。すなわち、吸湿ブロック性はない。

【0051】

【表1】

窒素濃度(atm%)	0	5.6	8.2	10.2	13.8
PCT後のP=Oの存在	×	×	△	○	○

【0052】

この吸湿ブロック性と前記電気特性の結果は対応し、すなわち、S i C N膜の吸湿ブロック性が電気特性を決定していると推察できる。

【0053】

次にバリアメタルと低誘電率膜である水素化ポリシリコンとの関係を説明する。表2にバリアメタルとして、Ta/TaN（上層がTa:20 nm、下層がTaN:10 nm）を使用した場合のTaNの窒素濃度とメタルCMPでのはがれの有無およびTaNスパッタ時のゴミ検査での欠陥数との関係を示した。

【0054】

【表2】

窒素濃度(atm%)	0	2.1	13.2	15.3	20.1	34.6	40.9
PCT後のP=Oの存在	×	×	△	○	○	○	○
スパッタゴミ数	4	2	3	16	4	15	>2万

【0055】

TaNのXPSで求めた窒素濃度が約10atm%以上の膜では、実施の形態3で行った場合では剥がれが発生しなかったが、それ以下ではCu膜のCMPで剥がれが発生した。特に5atm%以下の膜では、目視でも剥がれが確認できた。約8atm%程度では目視では確認できなかったものの、光学顕微鏡で剥がれが確認できた。ちなみに層間絶縁膜がSiO₂の場合ではいずれの窒素濃度のTaNでも剥がれが発生していないことより、水素化ポリシリコンの水素がTaNに吸蔵しているものと予想できる。また、TaNをスパッタしたときの8インチウエハ上でのゴミカウント数を示す。ゴミの粒径は0.18μm以上のものをカウントした。TaNの窒素濃度が40%未満のレベルでは20個以下であったが、40%を超えると20000個以上の個数を示し、オーバーフローした。

【0056】

また表3にバリアメタルの構造による、0.14μm径の高さ0.4μmのビアへのCu埋設性およびメタルCMP時の剥がれの関係を示す。

【0057】

【表3】

バリア構造	Cu埋設性	剥がれ
Ta	○	×
TaN	×	○
Ta/TaN	○	○

【0058】

Ta単層30nmの膜上に100nmのCuシード層を成膜し、その上に300nmのCuめっきを埋設し、加速試験として450℃で12時間過熱したときの埋設を確認したところ、埋設不良は確認できなかった。Ta(20nm) / TaN(10nm)の場合（その上のCuは同じ条件）でも問題はなかったが、30nmのTaN单層では埋設不良が確認された。この原因はCu膜の濡れ性の下地依存性で説明できる。Ta膜へのCu膜の濡れ性はよいが、TaNへのCu膜の濡れ性は悪い。これはCu濡れ性と窒素がなんらかの関係があると思われる。またビアCuのCMPでの剥がれは、TaN单層の場合と、Ta/TaNの積層の場合は問題がなかったが、Ta单層の場合は剥がれが確認された。この原因は水素化ポリシリコンの水素が、Taに吸蔵し、メタルの脆弱が発生している

ものと推測される。Taに窒素が含まれると水素の吸収が抑えられ、バリアメタル脆弱化が防止できると考えられる。

【0059】

ここでは梯子型水素化ポリシロキサンであるL-Oxを使用した例をしめしたが、かご型の水素化ポリシロキサンの1種である籠型水素化シリセスキオキサンをもちいてもよいが、Ta系バリアメタルとの反応性が梯子型よりもやや劣る結果となったが効果はあった。また比誘電率2.4のポーラス梯子型水素化ポリシロキサン（ポーラスL-Ox）を用いた場合も同等の効果が確認された。好ましくは、梯子型水素化ポリシロキサンまたはポーラス梯子型水素化ポリシロキサンであることがこのましい。また効果としては水素化ポリシロキサンよりも少ないがCVD法で形成した水素化オルガノポリシロキサンすなわちSi-H結合とSiCH₃結合を同時にもっている絶縁膜（この結合はFTIRスペクトルなどで確認できる）でもよい。たとえば商品名であれば、Black Diamond（商標名）、Coral（商標名）、Aurora（商標名）などでも同様な結果が得られる。塗布法で形成したMHSQなどでも同様な結果がえられた。

【0060】

【発明の効果】

本発明によれば、層間絶縁膜の少なくとも一部に水素化ポリシロキサン膜を含む上に本発明にコントロールされたシリコン炭化窒化膜が形成された結果、本発明の実施の形態1から3のそれぞれの9層配線構造の多層配線製造までに10ヶ月経過して製造したとしても配線間容量が増加することはなかった。

【0061】

同様に本バリア膜構造の実施の形態1から3を用いた、9層配線構造に10ヶ月経過して製造しても、ピア抵抗が上昇することなく、かつ膜剥がれも発生せずに製造できた。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態にかかる半導体装置を示す図である。

【図2】

本発明の第2の実施の形態にかかる半導体装置を示す図である。

【図3】

本発明の第3の実施の形態にかかる半導体装置を示す図である。

【図4】

本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。

【図5】

本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。

【図6】

本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。

【図7】

本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。

【図8】

本発明の第1の実施の形態でのSiCN膜の窒素濃度と配線間容量との関係を示す図である。

【図9】

SiCN膜の窒素濃度と比誘電率との関係を示す図である。

【図10】

SiCN膜の窒素濃度と本発明の第3の実施の形態でのビア抵抗との関係を示す図である。

【図11】

SiO₂膜/PSG膜のPCT前後のFTIRスペクトルを示す図である。

【図12】

SiC膜/PSG膜のPCT前後のFTIRスペクトルを示す図である。

【図13】

SiCN膜/PSG膜のPCT前後のFTIRスペクトルを示す図である。

【図14】

従来の実施の形態にかかる半導体装置を示す図である。

【図15】

従来の実施の形態にかかる半導体装置の製造工程を示す図である。

【図16】

従来の実施の形態にかかる半導体装置の製造工程を示す図である。

【図17】

従来の実施の形態にかかる半導体装置の製造工程を示す図である。

【図18】

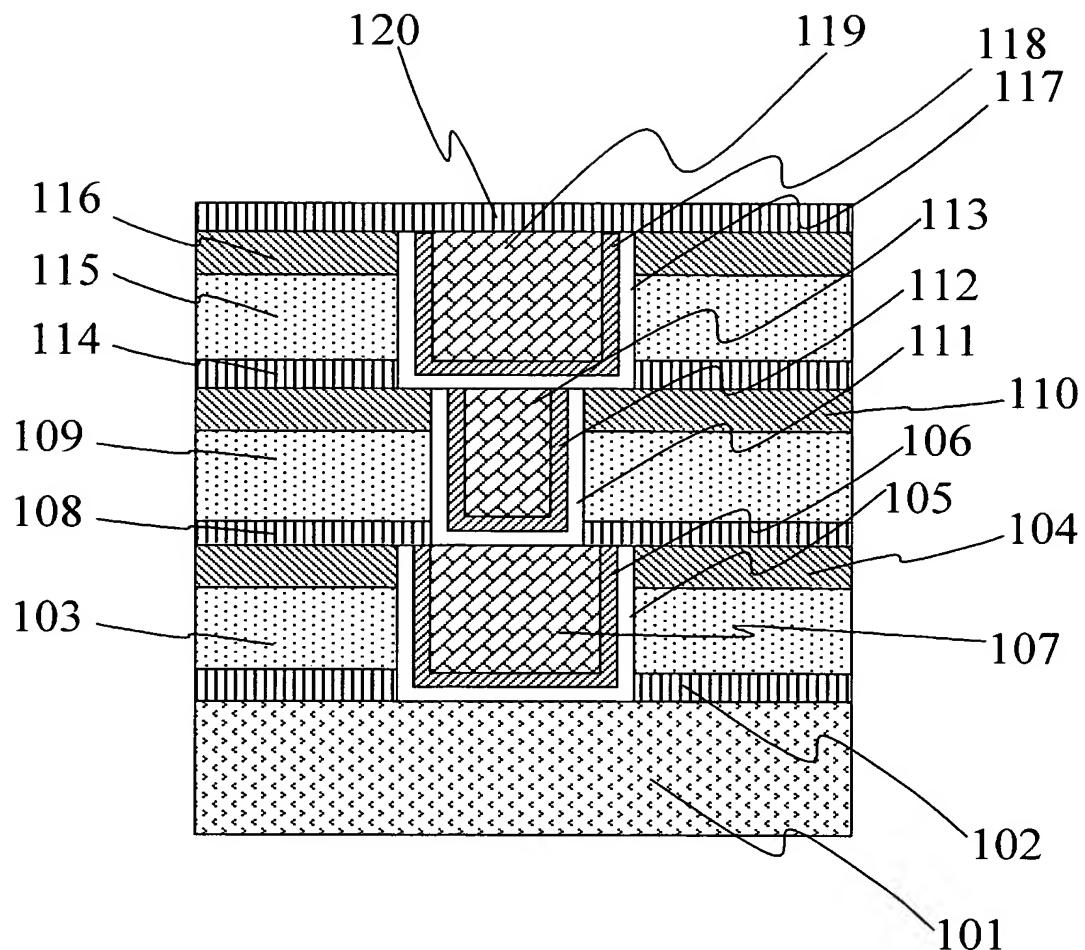
従来の実施の形態にかかる半導体装置の製造工程を示す図である。

【符号の説明】

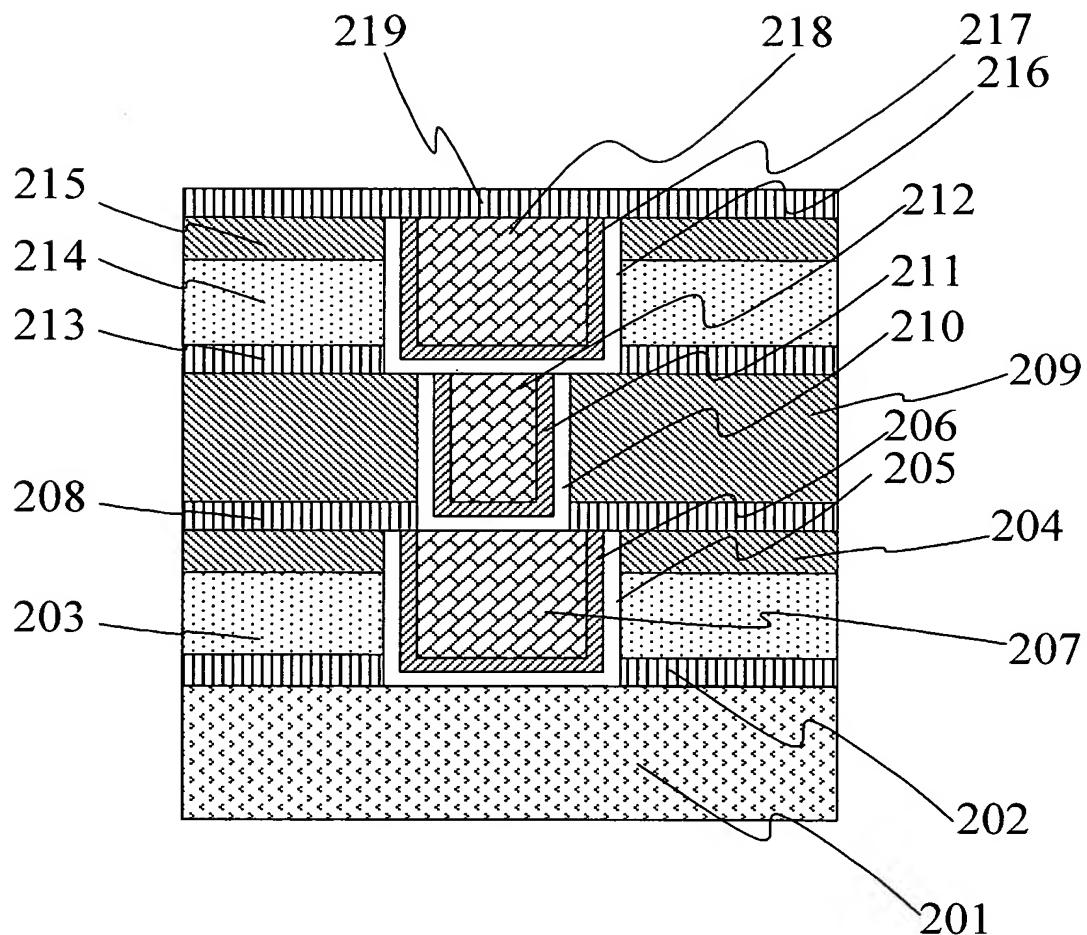
102, 108, 114, 120, 202, 208, 213, 219, 302,
308, 311, 317, 402, 410, 418, 426 ··· SiCN膜
103, 109, 115, 203, 214, 303, 309, 312, 403,
411, 419, 503, 508, 513, 603, 611, 619 ··· L-
Ox膜
104, 110, 116, 204, 209, 215, 304, 310, 313,
404, 412, 420, 504, 509, 514, 604, 612, 620 ···
SiO₂膜
105, 111, 117, 205, 210, 216, 305, 314, 407,
415, 423 ··· TaN膜
106, 112, 118, 206, 211, 217, 306, 315, 408,
416, 424, 505, 510, 515, 607, 615, 623 ··· Ta
膜
107, 113, 119, 207, 211, 218, 307, 316, 409,
417, 425, 506, 511, 516, 609, 617, 624 ··· 銅膜

【書類名】 図面

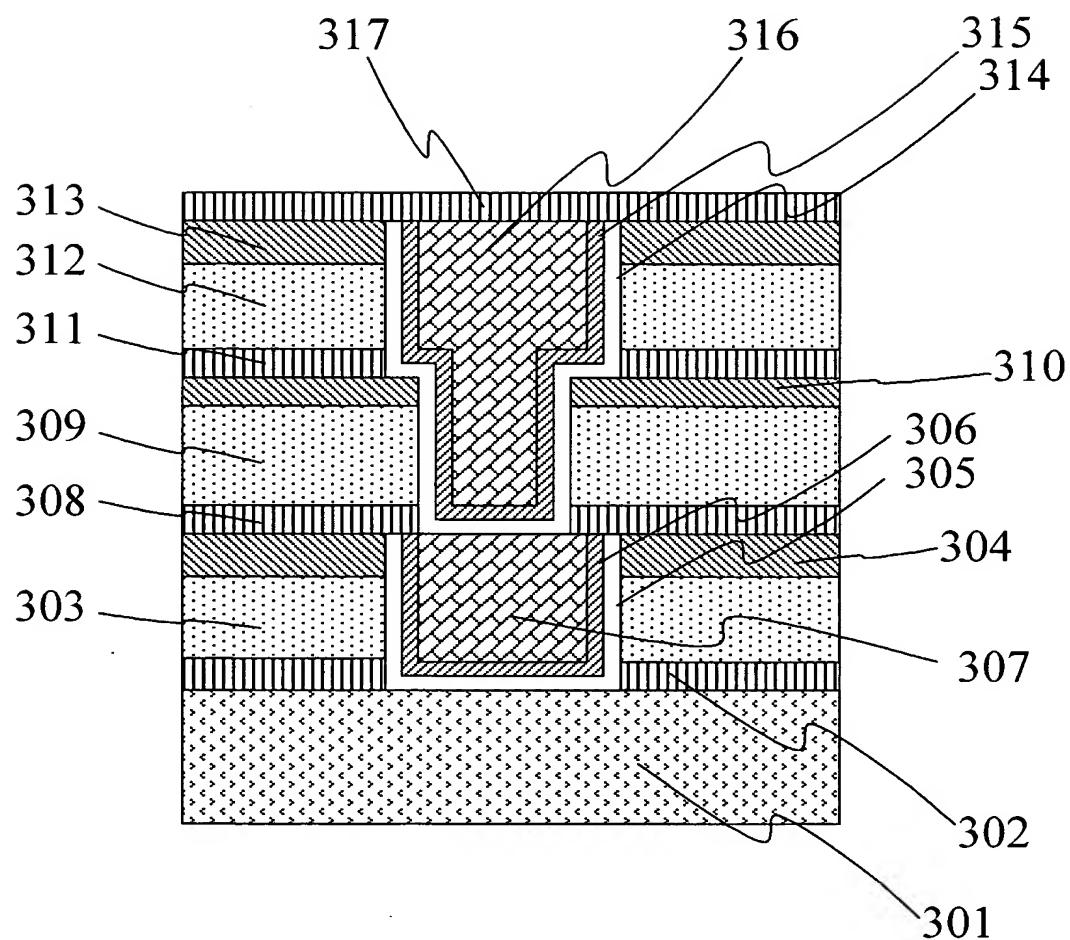
【図1】



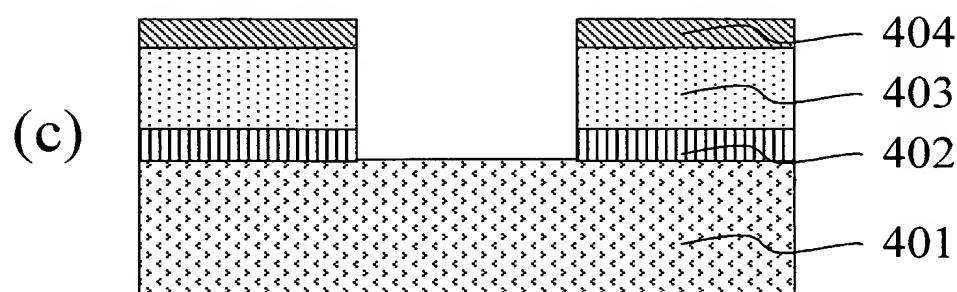
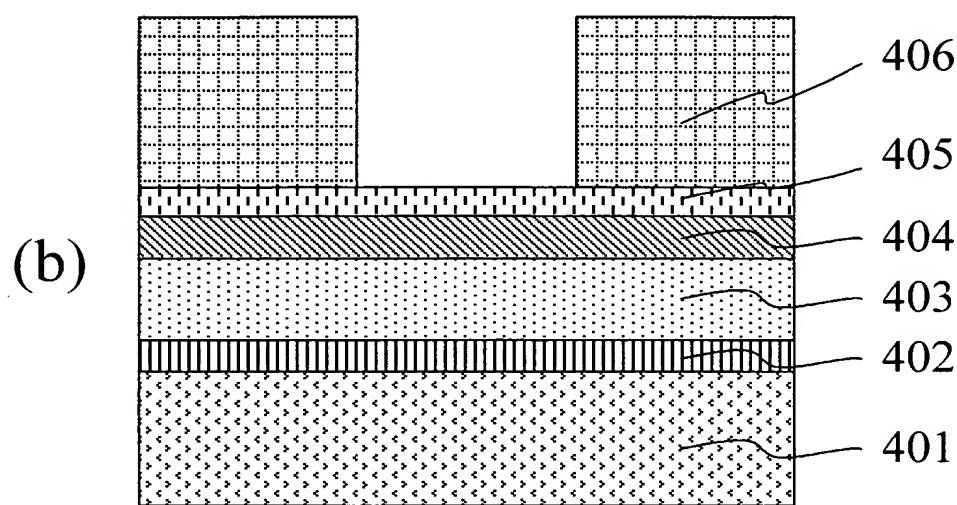
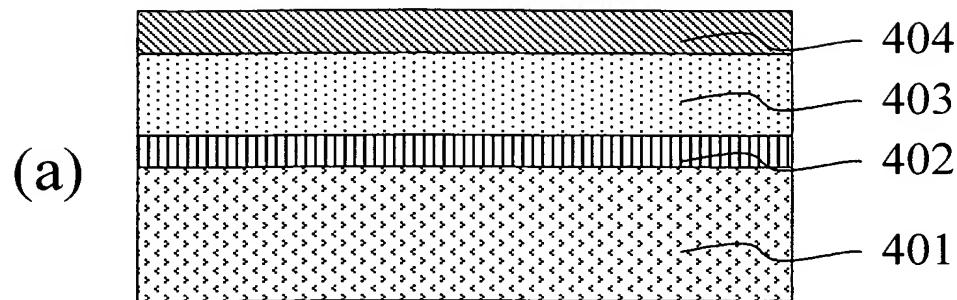
【図2】



【図3】

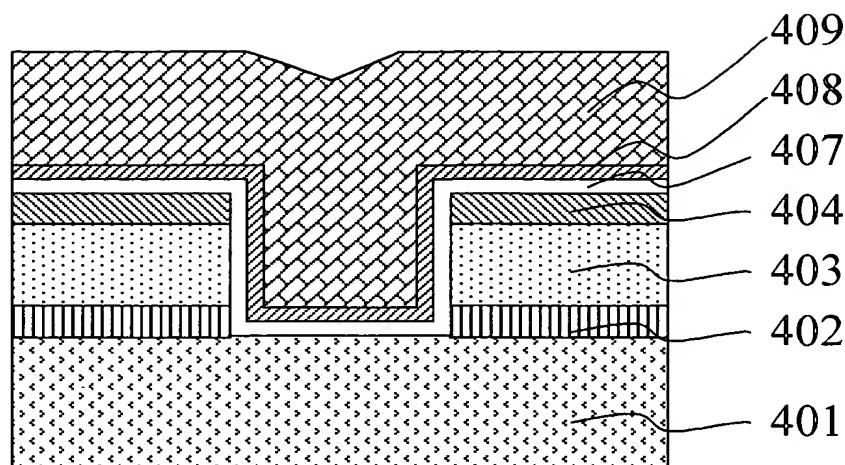


【図4】

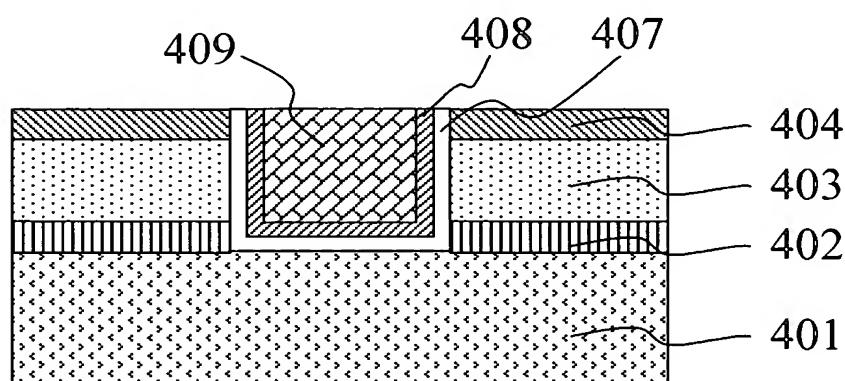


【図5】

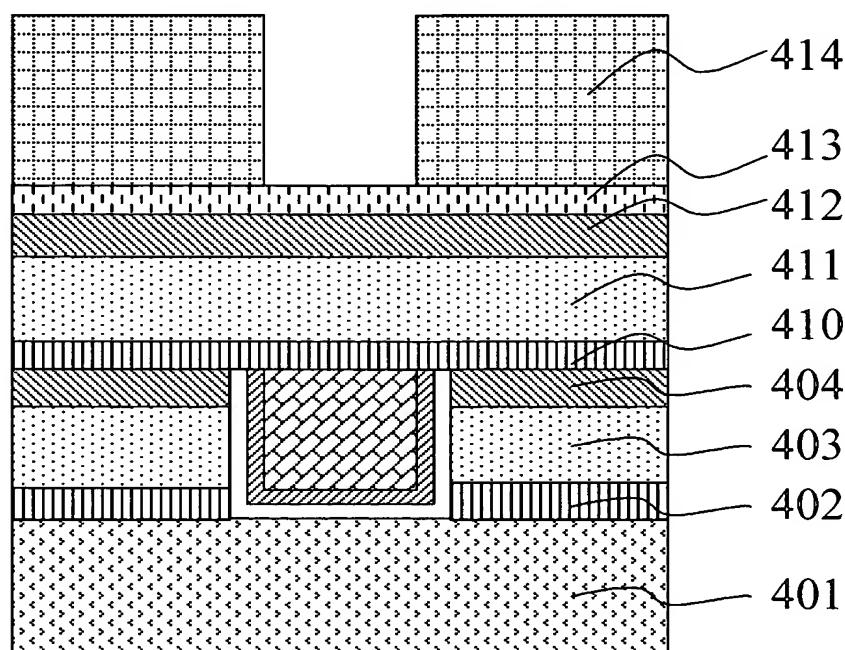
(a)



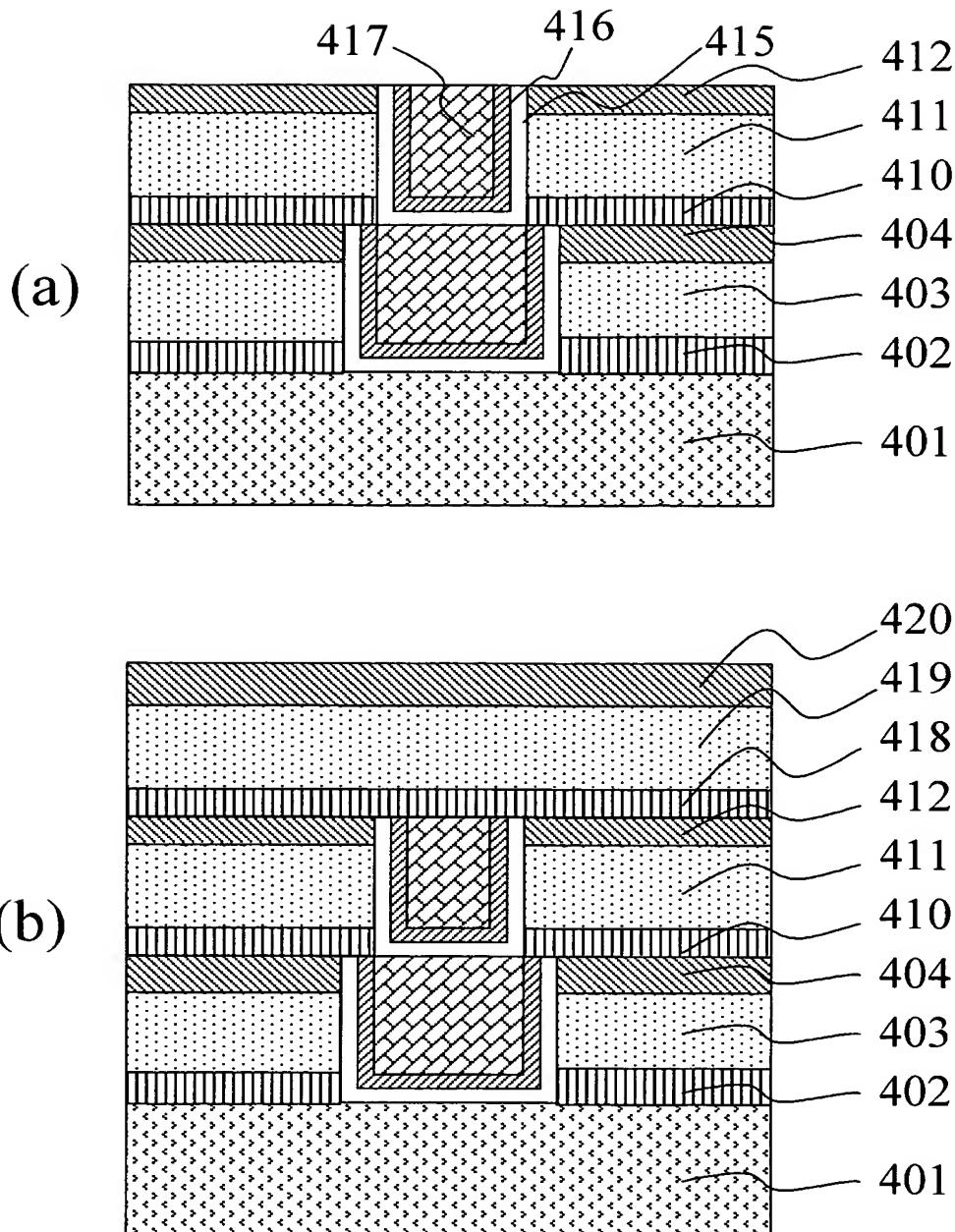
(b)



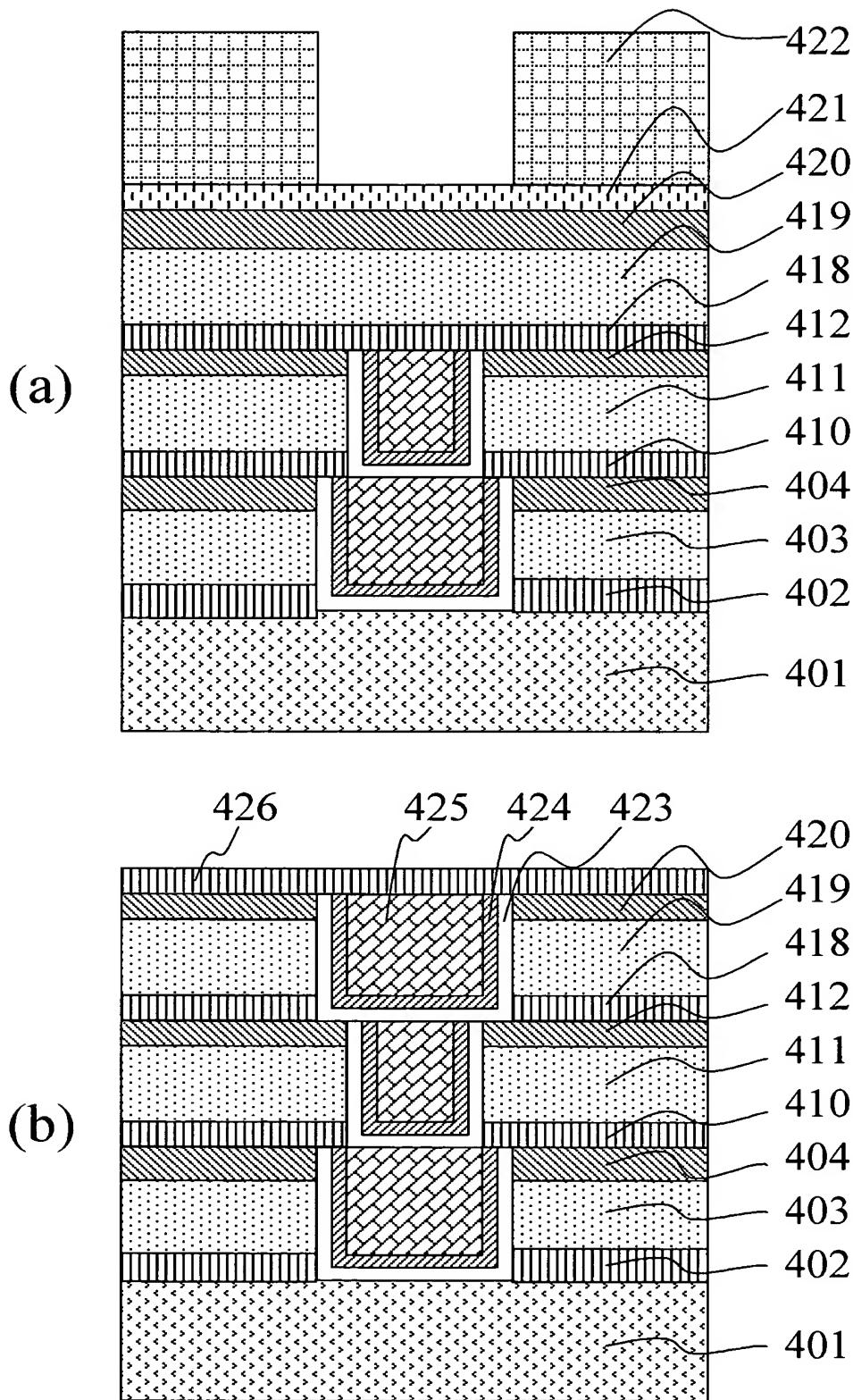
(c)



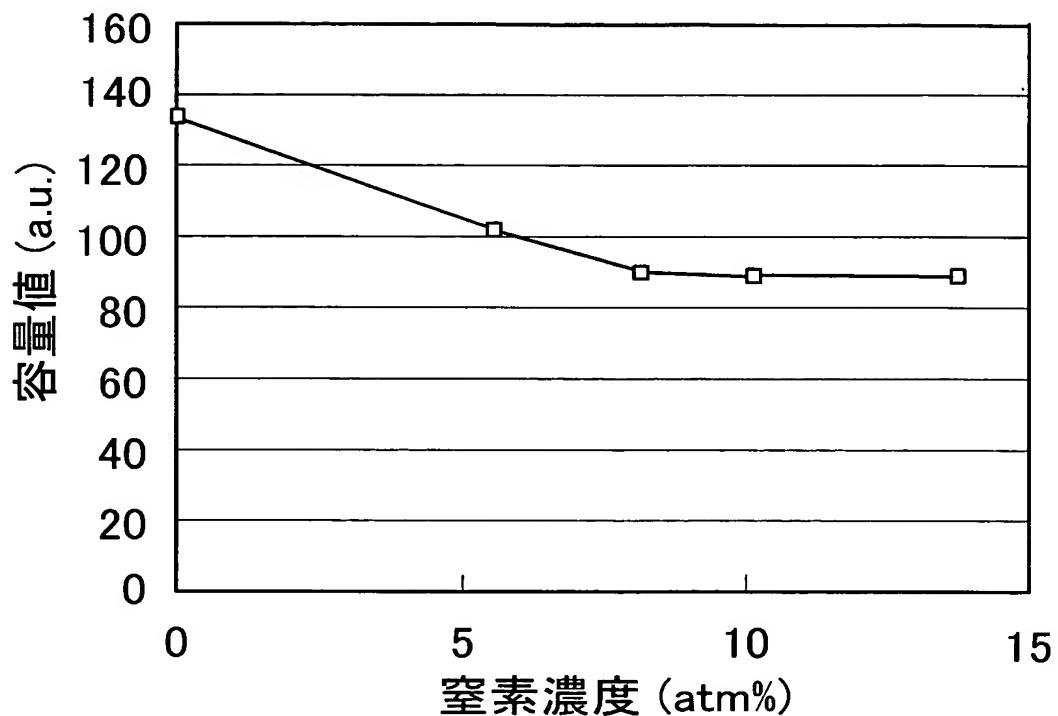
【図6】



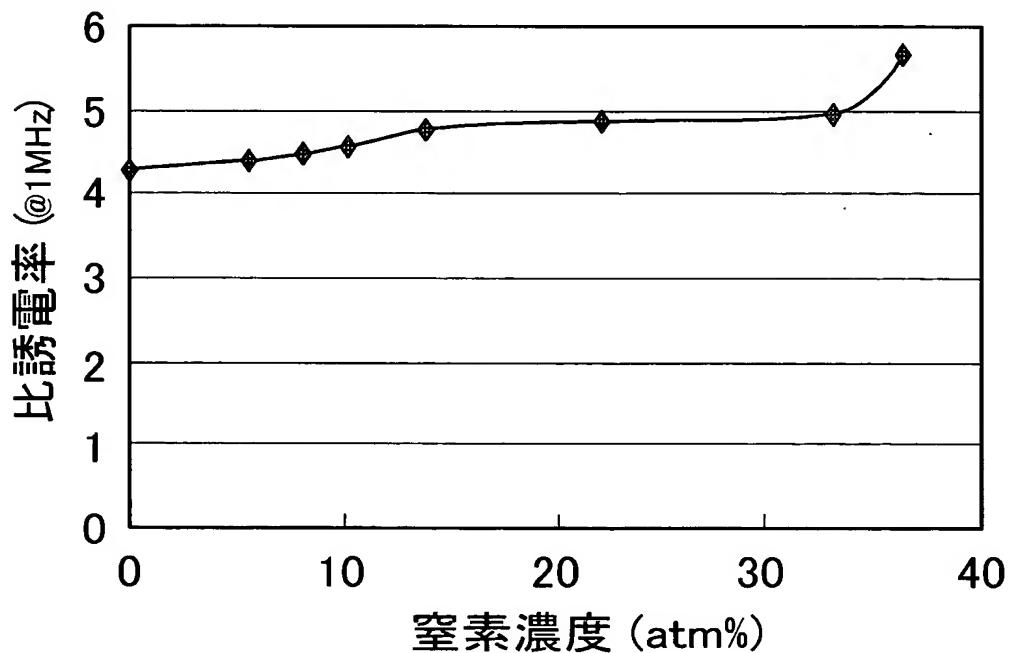
【図 7】



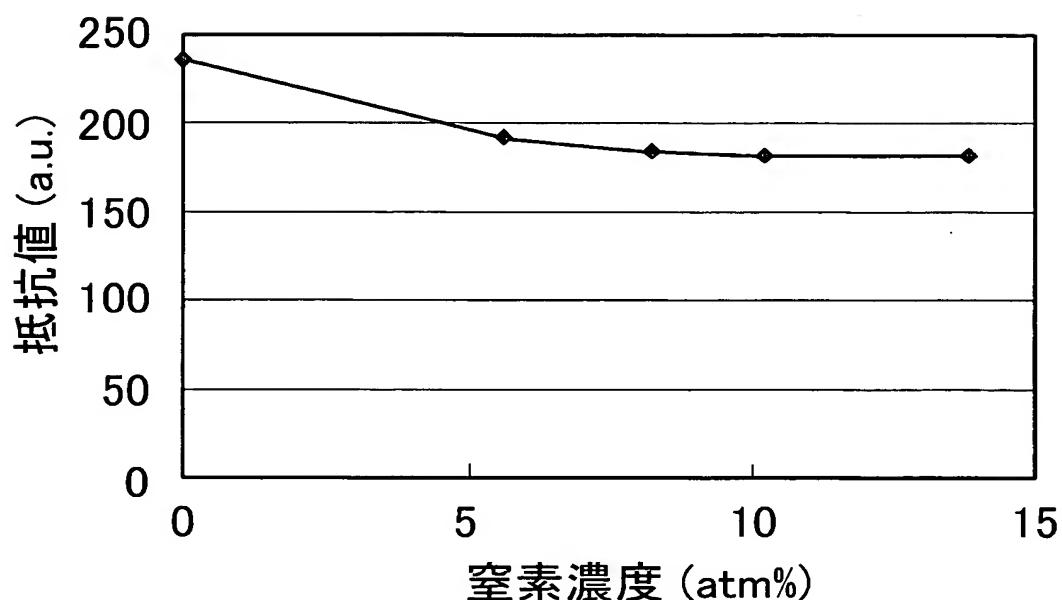
【図8】



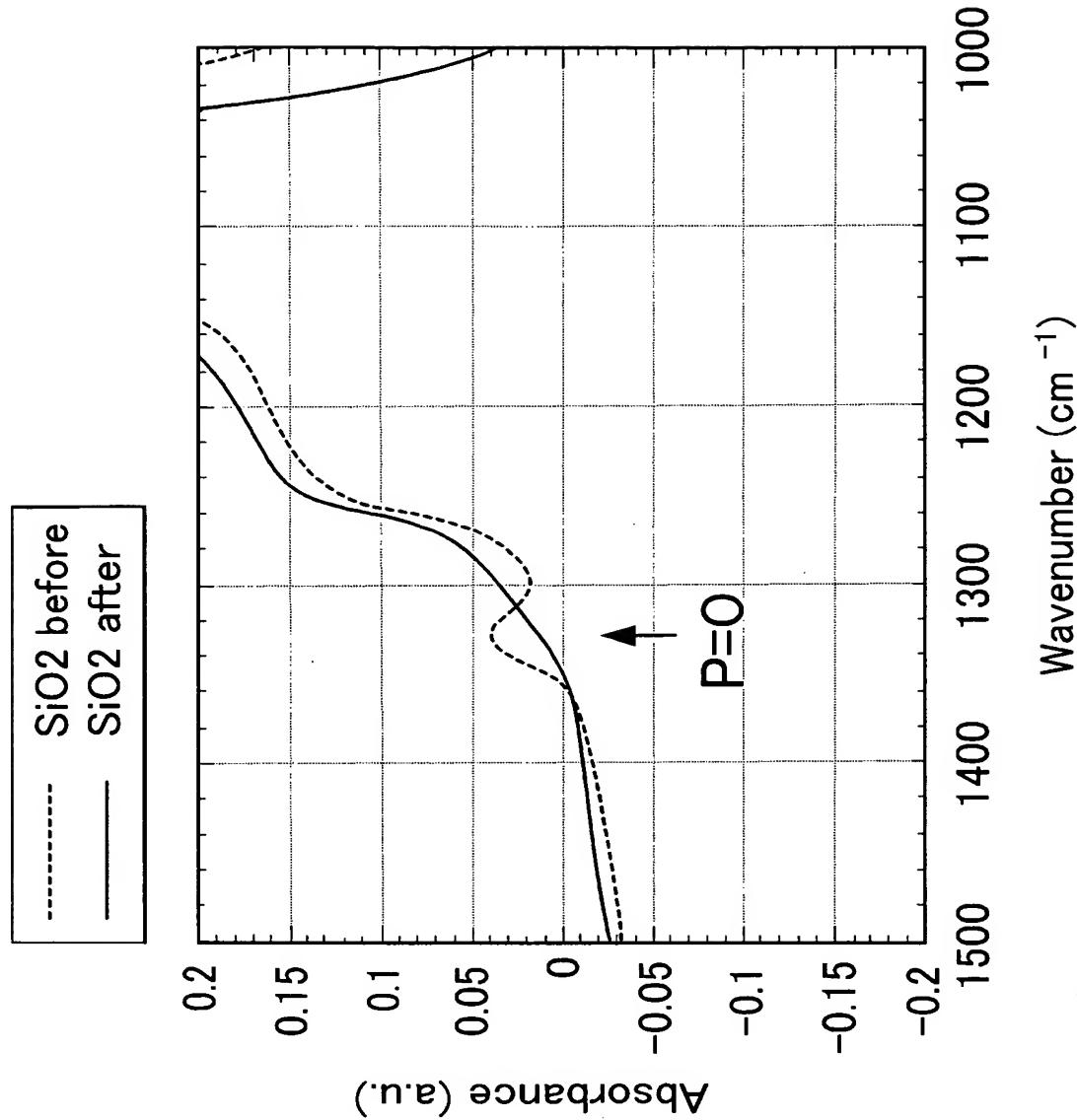
【図9】



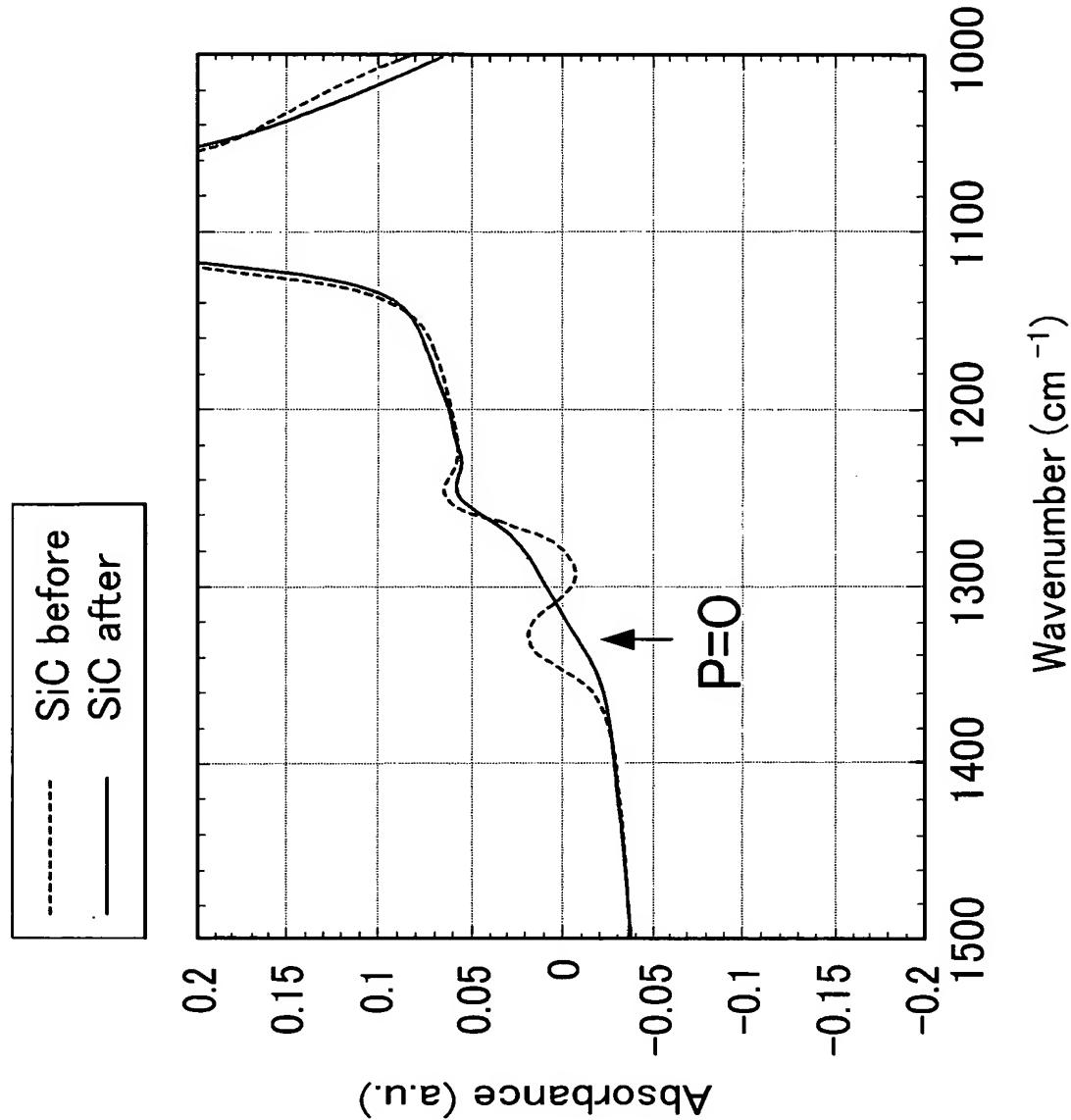
【図 10】



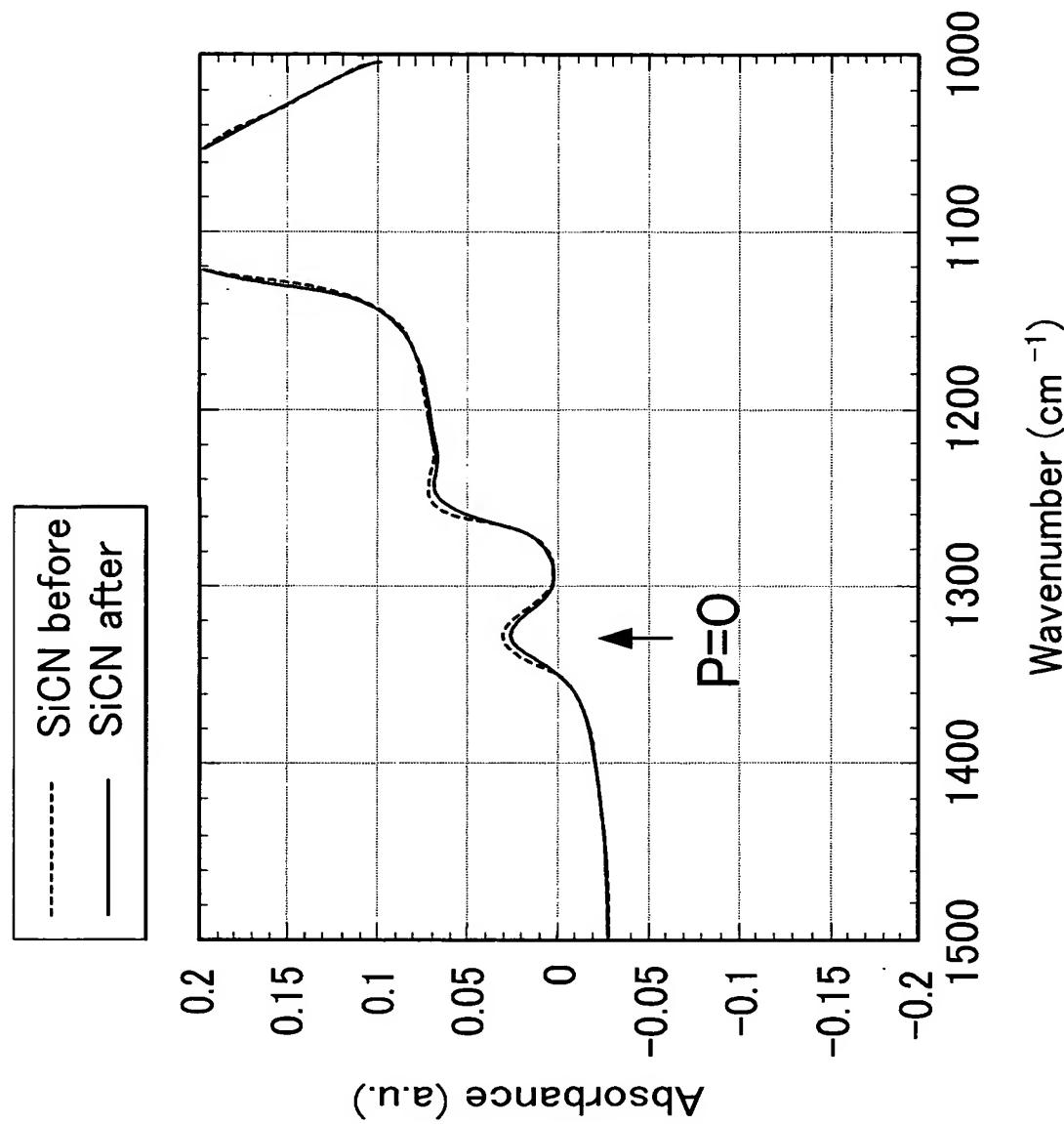
【図11】



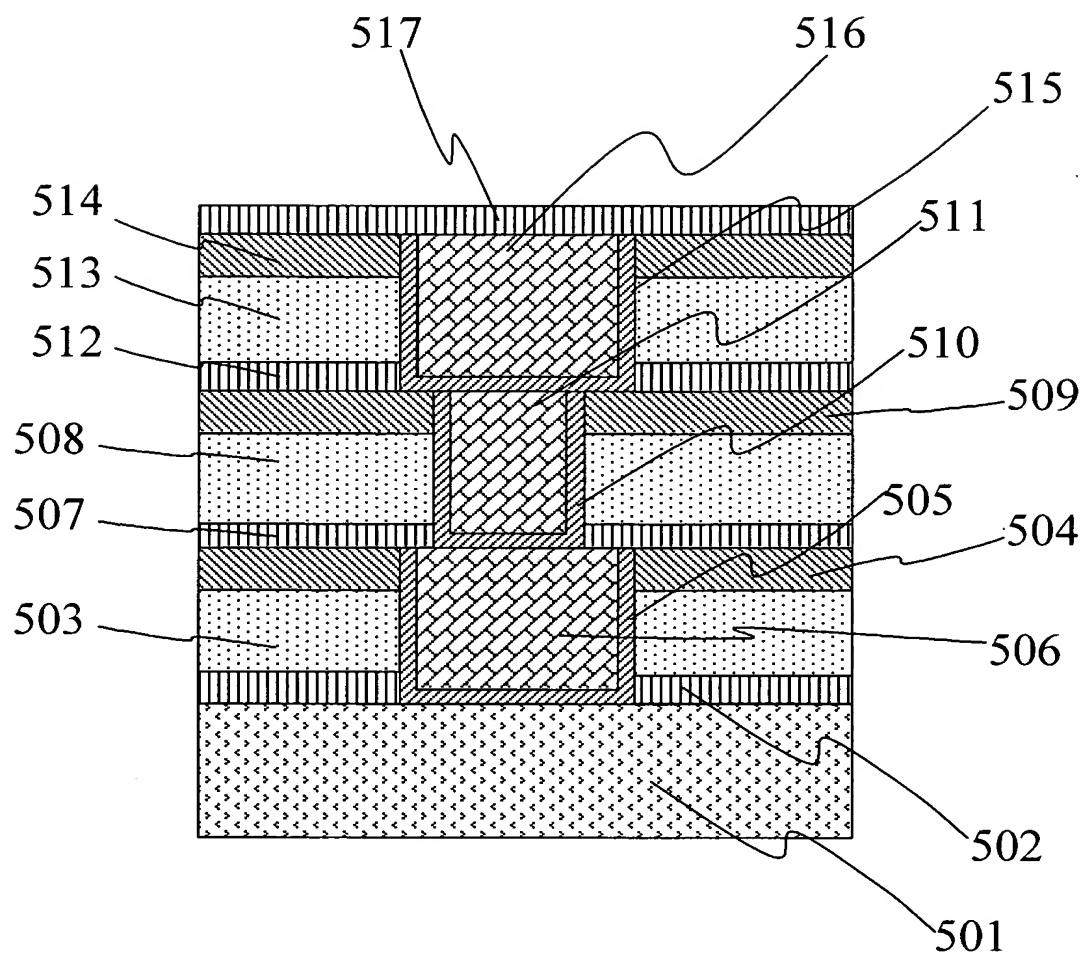
【図12】



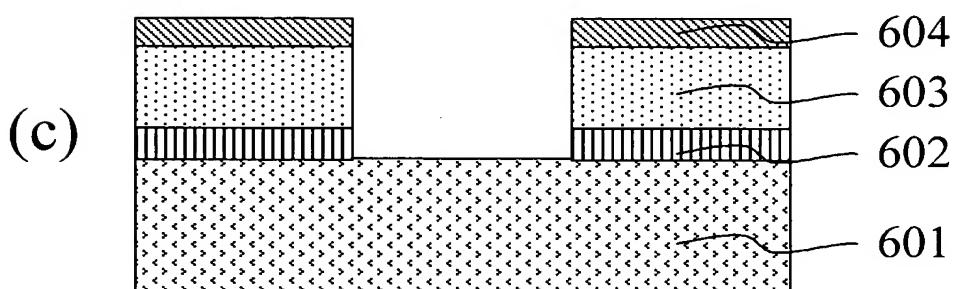
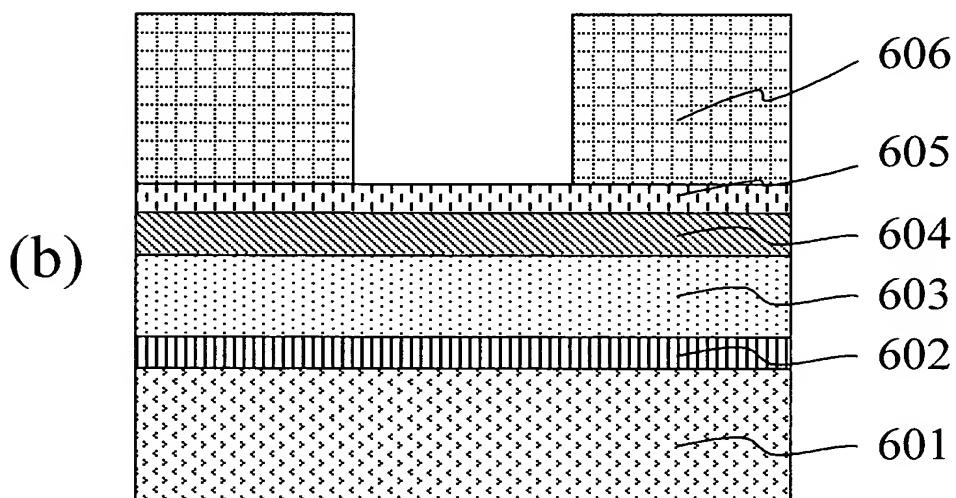
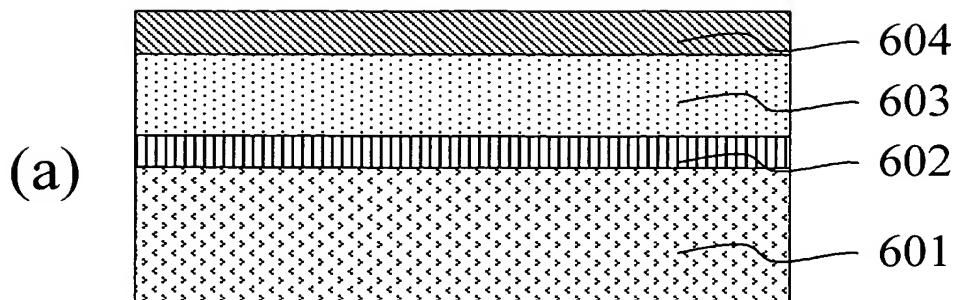
【図13】



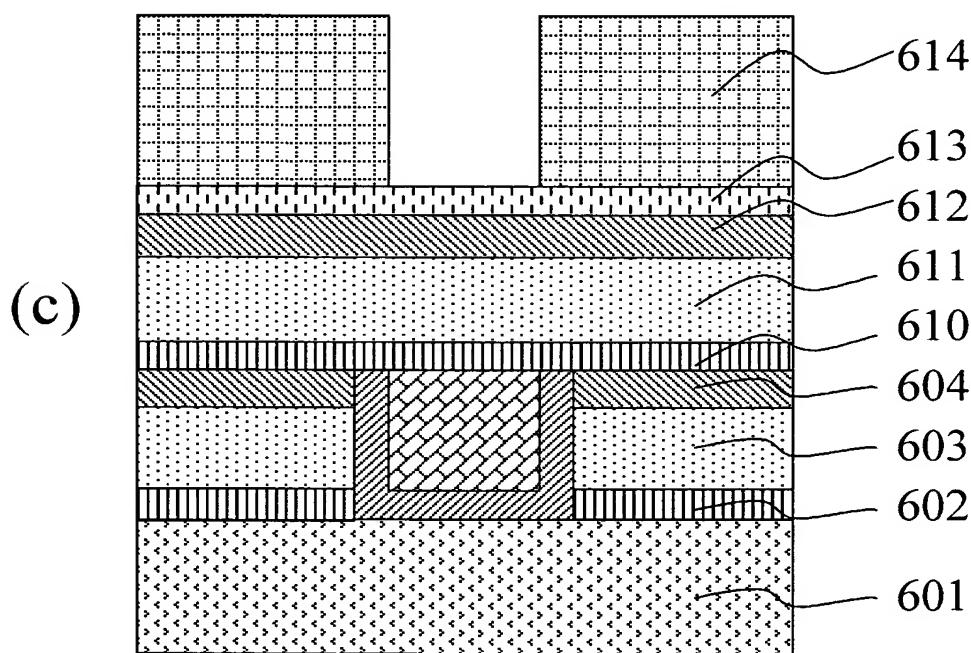
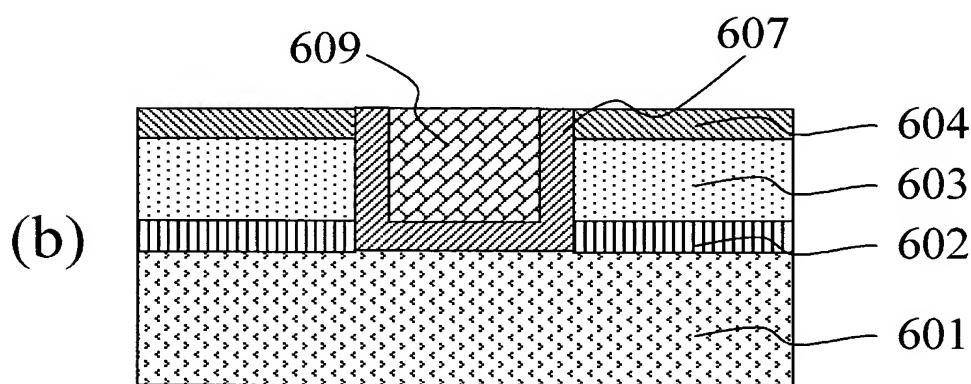
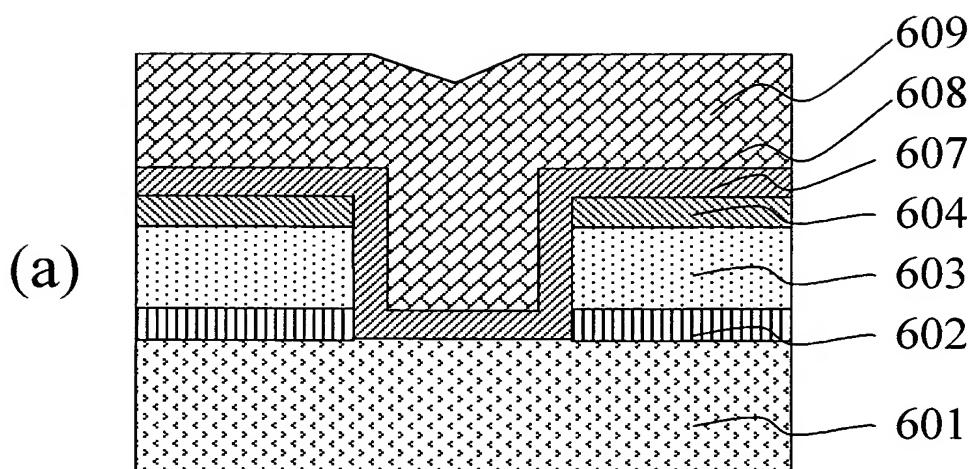
【図14】



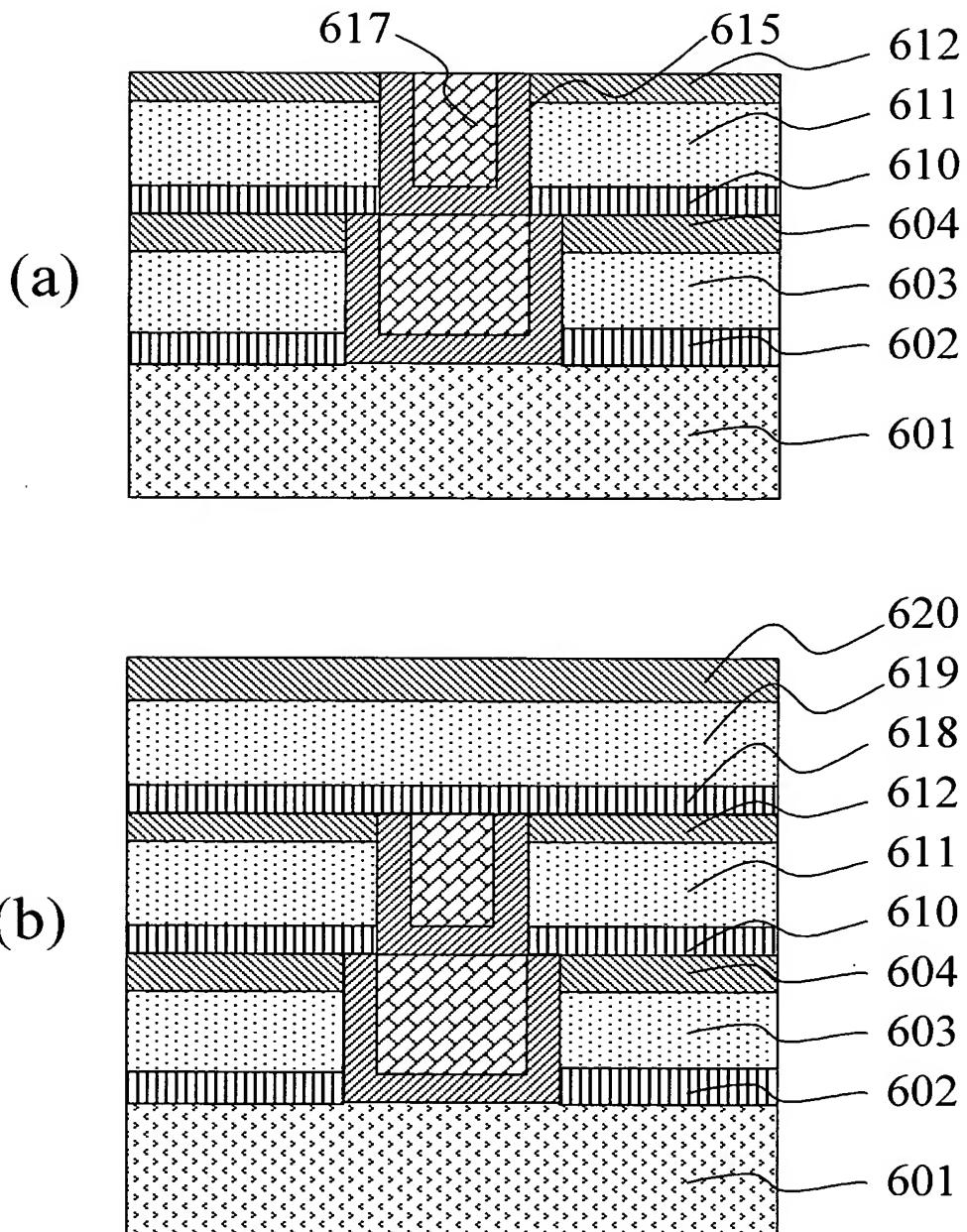
【図15】



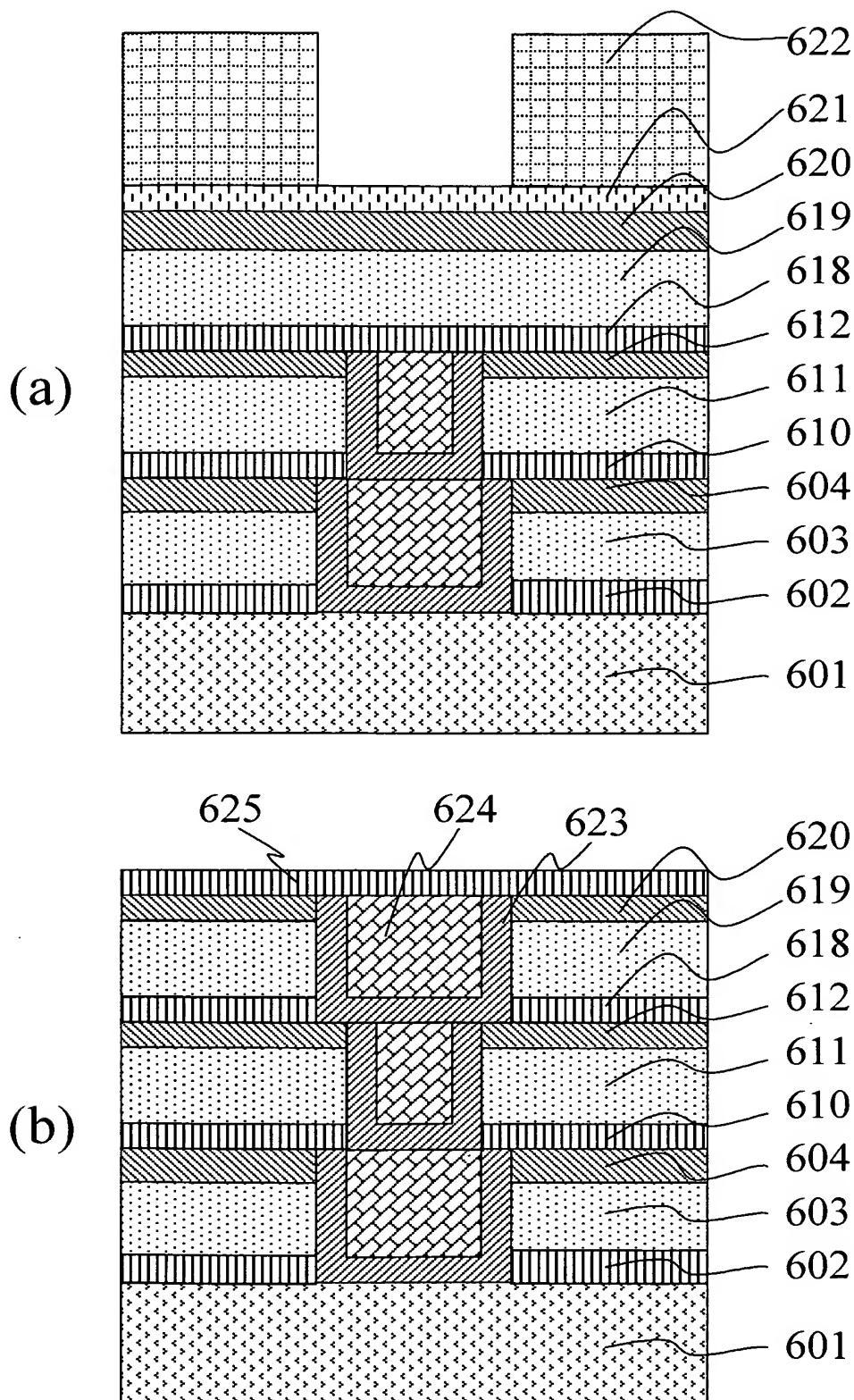
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 水素化ポリシロキサンまたはCu配線上に吸湿ブロック耐性がない膜がある場合、吸湿により、配線間容量またはビア抵抗が上昇する。またSi-H結合をもつ層間膜にTaが直接、接するとTaが水素吸蔵により脆弱し、CMPなどの工程で剥がれが発生するという問題がある。

【解決手段】 水素化ポリシロキサンを含む絶縁膜上にSiCN膜が形成されており、水素化ポリシロキサンの加工面で接しているバリアがTaNでありその上層がTaでありその内側にCu膜が形成されている。SiCN膜が吸湿ブロックの役割をして下層の水素化ポリシロキサンおよびCu膜の劣化を防止する。また水素化ポリシロキサンとTaの間をTaNで遮断することにより、Ta内の水素吸蔵による脆性を防止している。

【選択図】 図1

認定・付加情報

特許出願の番号 特願2003-024716
受付番号 50300161237
書類名 特許願
担当官 鈴木 夏生 6890
作成日 平成15年 2月 3日

<認定情報・付加情報>

【提出日】 平成15年 1月31日

次頁無

出証特2003-3103165

特願 2003-024716

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社